

Publication number: 1999-0058635

Publication Date of application: July 15, 1999

Application number: KR1997-0078778

Date of filing: December 30, 1997

Title : MANUFACTURING METHOD OF THIN FILM TRANSISTOR

Abstract

The present invention relates to a manufacturing method of a thin film transistor, and to recover a surface damage of a polycrystalline silicon thin film that may occur during forming an insulating layer on a poly silicon thin film, includes forming an amorphous silicon thin film on an insulating substrate, crystallizing the amorphous silicon thin film into a polycrystalline silicon thin film by a first laser anneal, patterning the polycrystalline silicon thin film to thereby form an active layer, forming a first insulating layer covering the active layer, performing a second layer anneal on the active layer covered with the first insulating layer, forming a gate electrode on the first insulating layer, forming source/drain regions in the active layer, forming a second insulating layer covering the active layer having the source/drain regions, forming contact holes in the second insulating layer exposing portions of the source/drain regions, and forming source/drain electrodes connected to the exposed source/drain regions, respectively. The surface damage of the polycrystalline thin film may be recovered due to the second laser annealing, and interface characteristics with the insulating layer can be improved.

공개특허특1999-0058635

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 29/70(11) 공개번호 특1999-0058635
(43) 공개일자 1999년07월15일(21) 출원번호 10-1997-0078778
(22) 출원일자 1997년12월30일(71) 출원인 엘지전자 주식회사 구자홍
서울특별시 영등포구 여의도동 20번지
(72) 발명자 양명수
경기도 안양시 동안구 관암동 1587-5 공작성일아파트 205동 905호
(74) 대리인 양순석
한윤근

심사청구 : 있음

(54) 박막트랜지스터 제조방법

요약

본 발명은 박막트랜지스터 제조방법에 관한 것으로, 다결정실리콘박막의 상단에 절연막을 형성하는 과정에서 유발되는 다결정실리콘박막의 표면 손상을 회복하기 위하여, 절연기판에 비정질 실리콘 박막을 형성한 후, 1차 레이저 어닐에 의하여 다결정실리콘박막으로 결정화하는 공정과, 상기 다결정실리콘박막을 패터닝하여 활성층을 형성하는 공정과, 상기 활성층을 덮는 제 1 절연막을 형성하는 공정과, 상기 제 1 절연막으로 덮힌 활성층에 2차 레이저 어닐을 진행하는 공정과, 상기 제 1 절연막 상에 게이트전극을 형성하는 공정과, 상기 활성층에 소오스/드레인 영역을 형성하는 공정과, 상기 소오스/드레인 영역이 있는 활성층을 덮는 제 2 절연막을 형성하는 공정과, 상기 제 2 절연막에 상기 소오스/드레인 영역의 일부를 노출시키는 콘택홀을 형성하는 공정과, 상기 노출된 소오스/드레인 영역에 각각 연결되는 소오스/드레인 전극을 형성하는 공정을 포함하여 제조되며, 2차 레이저 어닐링에 의하여 다결정실리콘박막의 표면손상이 회복되고, 절연막과의 계면 특성을 향상시킬 수 있다.

대표도

도7b

명세서

도면의 간단한 설명

도 1a부터 도 1d는 종래의 기술에 의한 박막트랜지스터 제조공정도

도 2는 1차 레이저 어닐에 의하여 결정화된 다결정실리콘박막 표면의 결정입자를 보여주는 SEM 사진

도 3은 다결정실리콘박막 상에 실리콘 산화막을 증착한 후의 다결정실리콘박막의 결정입자를 보여주는 SEM 사진

도 4는 2차 레이저 어닐에 의하여 재결정화된 다결정실리콘박막의 결정입자를 보여주는 SEM 사진

도 5와 도 6은 고에너지 밀도로 2차 레이저 어닐을 진행한 후의 실리콘 산화막의 표면과 다결정실리콘박막의 표면 상태를 각각 보여주는 SEM 사진

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 박막트랜지스터 제조방법에 관한 것으로 특히, 다결정실리콘박막의 상단에 절연막을 형성하는 과정에서 유발되는 다결정실리콘박막의 표면 손상을 레이저 어닐링에 의하여 회복할 수 있도록 한 박막트랜지스터 제조방법에 관한 것이다.

통상적인 경우 비정질실리콘(amorphous silicon)에 레이저 등의 에너지를 공급하여 용융상태로 만든 후에, 냉각 또는 고화시키면, 결정으로서 석출되어 간다. 이때 최초에 생긴 작은 결정핵이 씨드(seed)가 되어 점점 성장해가면서 큰 결정을 형성함으로써 결정화가 이루어진다. 이때, 용융된 실리콘의 여러 곳에 씨드가 동시 다발적으로 생성되고, 성장하게 되면 다결정 실리콘이 된다. 다결정 실리콘은 이와 같이 여러개의 결정입자들이 성장하여 결정화되는 것이기 때문에 결정입자 각각에 대하여 바운더리(boundary)를 가지게 된다. 이러한 다결정 실리콘을 활성층의 채널영역으로 사용할 경우에는 캐리어들이 많은 결정입자의 바운더리를 통과하여야 하는 그레인 바운더리 효과(grain boundary effect)에 영향을 받기 때문에 캐리어의 이동도가 크지 않다.

도 1a부터 도 1d는 종래의 기술에 의한 박막트랜지스터 제조공정도이다.

도 1a를 참조하면, 절연기판(100) 상에 완충막(10)을 형성한 후, 그 상단에 비정질실리콘박막을 형성한 다음, 비정질실리콘박막에 탈수소화 및 레이저 결정화 작업을 진행하여 비정질실리콘박막을 다결정실리콘박막(11ℓ)으로 결정화한다.

완충막(10)은 레이저 결정화 작업시, 레이저 소사에 의하여 용융된 비정질실리콘박막에 절연기판(100)의 불순물이 침투하는 것을 방지하기 위한 배리어(barrier)로 사용하기 위하여 형성한다. 완충막(10)은 통상적인 경우, 실리콘산화막등을 사용할 수 있다. 비정질실리콘박막은 PECVD(Plasma Enhanced Chemical Vapor Deposition)등에 의한 증착기술에 의하여 비정질실리콘을 증착하여 형성할 수 있다.

도 1b를 참조하면, 상기 다결정실리콘박막(11ℓ)을 사진식각에 의하여 패터닝하여 활성층(11)을 형성한다. 이어서, 노출된 활성층(11) 상에 게이트절연막을 형성하기 위한 절연막(12ℓ)을 형성한다. 이 때, 절연막(12ℓ)은 PECVD등에 의한 통상적인 증착기술에 의하여 산화실리콘과 같은 절연물질을 증착하여 형성할 수 있다.

도 1c를 참조하면, 절연막(12ℓ) 상에 게이트전극을 형성하기 위한 제 1 도전층을 연속적으로 형성한다. 이어서, 제 1 도전층을 사진식각에 의하여 패터닝하여 게이트전극(13)을 형성하고, 절연막(12ℓ)을 게이트전극(13)을 마스크로 하여 식각함으로써, 게이트절연막(12)을 형성한다.

도 1d를 참조하면, 고농도의 불순물을 사용하는 불순물 도핑 공정을 진행하여 활성층(11)의 노출된 부분에 소오스영역(11S)과 드레인영역(11D)을 형성한다. 이어서, 노출된 전면을 덮는 층간절연막(14)을 형성한 후, 층간절연막(14)에 소오스와 드레인 영역(11S)(11D)의 일부를 노출시키는 콘택홀을 형성한다. 이어서, 노출된 전면을 덮는 제 2 도전층을 형성한 후, 제 2 도전층을 사진식각에 의하여 패터닝하여 소오스영역(11S)에 연결되는 소오스전극(15S)과 드레인영역(11D)에 연결되는 드레인전극(15D)을 형성한다.

그러나 상기와 같은 종래의 기술에 의하여 형성되는 활성층은 그 상단에 게이트절연막을 형성하기 위한 절연막을 형성하는 과정에서 활성층의 상단 표면에 손상을 주게 된다. 이는 절연막 형성 공정은 PECVD에 의하여 절연물질을 증착함으로써 실현되는 것에 기인한다. PECVD란 진공실을 이루는 챔버 내부에 증착에 필요한 가스를 주입하여 원하는 압력과 기판온도를 설정하여 RF power를 이용하여 주입된 가스를 플라즈마 상태로 분해하여 기판 상에 증착을 하는 공정이나, 따라서, 다결정실리콘박막인 활성층에 PECVD를 이용하여 절연막을 형성할 경우에는 다결정실리콘박막의 표면 손상이 유발된다. 활성층의 이러한 표면 손상은 결과적으로 박막트랜지스터의 성능 및 신뢰성을 불량하게 만든다. 또한, 활성층의 상단에 형성되는 절연막과의 계면에서 디펙트를 야기시킴으로써, 활성층과 절연막의 계면특성을 악화시킨다.

발명이 이루고자하는 기술적 과제

본 발명은 다결정실리콘박막에 절연막을 형성하는 과정에서 유발되는 다결정실리콘박막의 표면손상을 레이저 어닐링에 의하여 회복시킴으로써, 박막특성이 양호한 활성층을 가지는 박막트랜지스터 제조방법을 제공하려 하는 것이다.

본 발명은 다결정실리콘박막에 절연막 형성하는 경우에 유발되는 다결정실리콘박막의 표면손상을 레이저 어닐링을 통하여 회복하면서 절연막과의 계면 특성을 향상시킬 수 있는 박막트랜지스터 제조방법을 제공하려 하는 것이다.

본 발명은 절연기판에 비정질 실리콘 박막을 형성한 후, 1차 레이저 어닐에 의하여 다결정실리콘박막으로 결정화하는 공정과, 상기 다결정실리콘박막을 패터닝하여 활성층을 형성하는 공정과, 상기 활성층을 덮는 제 1 절연막을 형성하는 공정과, 상기 제 1 절연막으로 덮힌 활성층에 2차 레이저 어닐을 진행하는 공정과, 상기 제 1 절연막 상에 게이트전극을 형성하는 공정과, 상기 활성층에 소오스/드레인 영역을 형성하는 공정과, 상기 소오스/드레인 영역의 일부를 노출시키는 제 2 절연막을 형성하는 공정과, 상기 노출된 소오스/드레인 영역에 각각 연결되는 소오스/드레인 전극을 형성하는 공정을 포함하는 박막트랜지스터 제조방법이다. 상기 2차 레이저 어닐에 사용되는 레이저 에너지의 크기는 활성층을 이루는 상기 다결정실리콘박막의 표면이 녹기 시작하는 에너지 영역에서부터 상기 다결정실리콘박막내로 제 1 절연막의 구성입자가 확산되지 않을 정도의 에너지 영역으로 하는 것이 유리하다.

발명의 구성 및 작용

도 2부터 도 4는 본 발명을 설명하기 위한 다결정실리콘박막의 결정입자의 상태를 보여주는 SEM 사진으로, 도 2는 1차 레이저 어닐 작업에 의하여 결정화된 다결정실리콘박막에 선택에치(selective etching)을 진행한 후의 결정입자들의 상태를 나타낸 것이고, 도 3은 다결정실리콘박막 상에 실리콘 산화막을 증착하고, 이 실리콘 산화막을 BOE(????)로 자스트 에치(just etch)한 다음, 다결정실리콘박막에 선택에치를 진행한 후의 결정입자들의 상태를 나타낸 것이며, 도 4는 1차 레이저 어닐 작업에 의하여 결정화된 다결정실리콘박막에 실리콘 산화막을 증착하고 다시 2차 레이저 어닐 작업을 진행한 후에, 실리콘 산화막을 BOE로 자스트 에치한 다음, 다결정실리콘박막에 선택에치를 진행한 후의 결정입자들의 상태를 나타낸 것이다.

다결정실리콘박막은 언급한 바와 같이, 액상 실리콘이 고화되는 과정 중에 동시 다발적으로 형성된 씨드가 결정입자로 성장해가면서 근접한 결정입자들과 바운더리(boundary)를 이룬 상태의 구조를 가지고 있다. 이러한 이유로 다결정실리콘박막에서 결정입자들의 바운더리는 비바운더리 부분에 비하여 디펙트(defect)가 많다. 따라서, 디펙트가 많은 바운더리에서 잘 식각되는 식각액을 사용하여 선택에치를 진행하면, 비바운더리 부분보다 바운더리에서 빠르게 식각반응이 일어나게 된다. 그 결과 다결정실리콘박막의 표면은 도 2에 보인 바와 같이, 결정입자들을 둘러싸는 홈이 생기게 된다.

그런데, 다결정실리콘박막을 형성하고 그 상단에 실리콘 산화막을 증착한 후에 실리콘 산화막을 BOE로 자스트 에치한 후, 선택에치를 진행하게 되면 도 3에 보인 바와 같이, 결정입자의 바운더리에서의 선택식각의 특성이 불량하게 나타난다. 즉, 결정입자의 바운더리와 비바운더리 부분의 식각되는 정도의 차이가 거의 없다. 이는 다결정실리콘박막의 상단에 실리콘 산화막을 증착하는 과정에서 다결정실리콘박막이 손상되어 디펙트가 많이 생성되었기 때문이다. 결정입자의 비바운더리 부분 즉, 결정입자의 결정면내에 디펙트가 많이 생성되어, 비바운더리 부분에서의 식각속도가 증가한 것이다.

그런데 다결정실리콘박막에 실리콘 산화막을 증착하고 2차 레이저 어닐 작업을 진행한 경우에는 도 3에 보인 바와 같이, 선택에치한 후의 다결정실리콘박막의 결정입자의 상태가 1차 레이저 어닐을 끝내고 실리콘 산화막을 증착하기 전의 상태(도 2 참조)와 유사함을 알 수 있다. 결정입자의 바운더리 부분과 비바운더리에서의 식각선택성이 다시 회복된 것이다. 이는 실리콘 산화막 형성과정에서 다결정실리콘박막의 표면에 형성된 디펙트들이 2차 레이저 어닐 작업을 통하여 다시 용융되고 고상화되는 과정에서 감소된 것이다.

도 5와 도 6은 2차 레이저 어닐에 사용되는 레이저 에너지를 소정의 크기보다 크게 하였을 경우(이하, "고에너지 밀도로 2차 레이저 어닐을 진행하는 경우"라 함)로 재결정화되는 다결정실리콘박막의 결정입자 상태를 설명하기 위한 도면이다. 도 5는 고에너지 밀도로 2차 레이저 어닐을 진행한 후의 실리콘 산화막의 표면을 나타낸 것이고, 도 6은 상기 실리콘 산화막을 BOE로 자스트 에치한 후의 다결정실리콘박막의 표면 상태를 나타낸 것이다.

고에너지 밀도로 2차 레이저 어닐을 진행하게 되면, 실리콘 산화막의 표면에 할록이 발생함(도 5참조)을 볼 수 있고, 다결정실리콘박막의 표면에서는 결정입자의 바운더리 일부에 보이드(void)가 발생되고, 실리콘 입자가 돌출된 것(도 6참조)을 볼 수 있다. 이는 고에너지 밀도로 2차 레이저 어닐을 진행할 경우에 다결정실리콘박막의 용융깊이가 커짐으로 인하여 용융기간 동안 증가된 산소가 실리콘 내의 디펙트로 확산되고, 실리콘도 바운더리로 이동함으로써 생긴 결과이다. 따라서 2차 레이저 어닐 과정에는 적절한 에너지 영역이 존재함을 알 수 있다. 즉, 실리콘 산화막이 적층된 하부 다결정실리콘박막의 표면이 녹기 시작하는 에너지 영역에서부터 다결정실리콘박막내로 실리콘 산화막의 산소가 확산되지 않고 실리콘 산화막의 표면에 할록이 발생하지 않는 에너지 밀도 범위에서 작업을 진행할 필요가 있다.

도 7a부터 도 7d는 상술한 결과를 이용한 본 발명에 따른 박막트랜지스터의 제조공정도를 나타낸 것이다.

도 7a를 참조하면, 절연기판(700) 상에 완충막(70)을 형성한 후, 그 상단에 비정질실리콘박막을 형성한 다음, 비정질실리콘박막에 탈수소화 및 1차 레이저 어닐 작업을 진행하여 비정질실리콘박막을 다결정실리콘박막(71f)으

로 결정화한다.

완충막(70)은 레이저 결정화 작업시, 레이저 조사에 의하여 용융된 비정질실리콘박막에 절연기판(700)의 불순물이 침투하는 것을 방지하기 위한 배리어(barrier)로 사용하기 위하여 형성한다. 완충막(70)은 통상적인 경우, 실리콘산화막등을 사용할 수 있다. 비정질실리콘박막은 PECVD등에 의한 증착기술에 의하여 비정질실리콘을 증착하여 형성할 수 있다.

도 7b를 참조하면, 결정화된 다결정실리콘박막을 사진식각에 의하여 패터닝하여 활성층(71)을 형성한다. 이 후, 노출된 활성층(71) 상에 게이트절연막을 형성하기 위한 절연막(72)을 형성한다. 절연막(72)은 PECVD와 같은 통상적인 증착기술에 산화실리콘과 같은 절연물질을 증착하여 형성할 수 있다. 이 때, PECVD에 의하여 산화실리콘을 활성층 상에 증착하는 과정에서 활성층의 상단에 디펙트가 형성되는 등의 손상을 입는 경우가 발생한다. 따라서, 활성층의 손상을 회복하기 위하여 이후에, 2차 레이저 어닐링 작업을 다시 진행한다. 이 과정에서 손상된 다결정실리콘박막의 표면은 다시 용융되고 고화되면서 디펙트를 감소시키고, 절연막(12)과도 재결합하면서 그 계면특성을 향상시킨다.

도 7c를 참조하면, 절연막(72) 상에 제 1 도전층을 형성하고, 제 1 도전층을 사진식각에 의하여 패터닝하여 게이트전극(73)을 형성한다. 이어서, 게이트전극(73)을 마스크로하여 절연막(72)을 식각함으로써, 게이트절연막(72)을 형성한다. 이 때, 절연막(12)을 식각하는 과정을 생략하고 절연막을 그대로 게이트절연막으로 사용할 수 있다.

도 7d를 참조하면, 고농도의 불순물을 사용하는 불순물 도핑 공정을 진행하여 활성층(71)의 노출된 부분에 소오스영역(71S)과 드레인영역(71D)을 형성한다. 이어서, 노출된 전면을 덮는 층간절연막(74)을 형성한 후, 층간절연막(74)에 소오스와 드레인 영역(71S)(71D)의 일부를 노출시키는 콘택홀을 형성한다. 이어서, 노출된 전면을 덮는 제 2 도전층을 형성한 후, 제 2 도전층을 사진식각에 의하여 패터닝하여 소오스영역(71S)에 연결되는 소오스전극(75S)과 드레인영역(71D)에 연결되는 드레인전극(75D)을 형성한다.

발명의 효과

본 발명은 다결정실리콘박막의 상단에 절연막을 형성하는 과정에서 유발되는 다결정실리콘박막 즉, 활성층의 표면 손상을 레이저 어닐링에 의하여 회복할 수 있다. 또한, 이러한 레이저 어닐링을 통하여 활성층의 표면이 재결정화되는 과정에서 절연막과 재결합하면서 절연막과의 계면특성을 향상시킬 수 있다. 따라서 본 발명은 박막트랜지스터의 성능과 신뢰성을 향상시킬 수 있다.

(57)청구의 범위

청구항1

절연기판에 비정질 실리콘 박막을 형성한 후, 1차 레이저 어닐에 의하여 상기 비정질 실리콘 박막을 결정화하여 다결정 실리콘 박막으로 형성하는 공정과,

상기 다결정 실리콘 박막을 사진식각하여 활성층을 형성하는 공정과,

상기 활성층을 덮는 제 1 절연막을 형성하는 공정과,

상기 제 1 절연막으로 덮힌 활성층에 2차 레이저 어닐을 진행하는 공정과,

상기 제 1 절연막 상에 게이트전극을 형성하는 공정과,

상기 활성층에 소오스/드레인 영역을 형성하는 공정과,

상기 소오스/드레인 영역이 있는 활성층을 덮는 제 2 절연막을 형성하는 공정과,

상기 제 2 절연막에 상기 소오스/드레인 영역의 일부를 노출시키는 콘택홀을 형성하는 공정과,

상기 노출된 소오스/드레인 영역에 각각 연결되는 소오스/드레인 전극을 형성하는 공정을 포함하는 박막트랜지스터 제조방법.

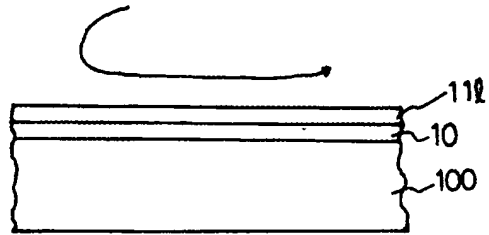
청구항2

청구항 1에 있어서,

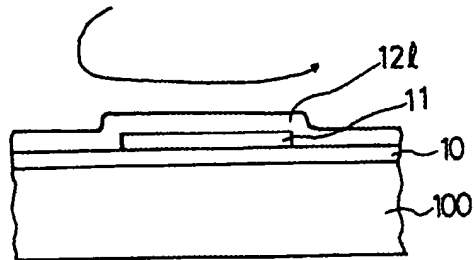
상기 2차 레이저 어닐에 사용되는 레이저 에너지의 크기는 활성층을 이루는 상기 다결정 실리콘 박막의 표면이 녹기 시작하는 에너지 영역에서부터 상기 제 1 절연막의 구성입자가 상기 다결정 실리콘 박막 내로 확산되지 않을 정도의 에너지 영역인 것이 특징인 박막트랜지스터 제조방법.

도면

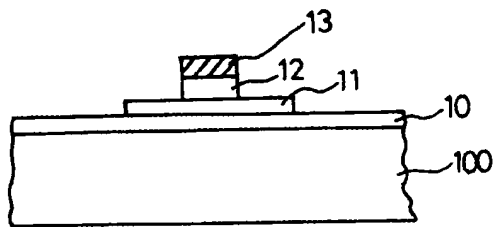
도면1a



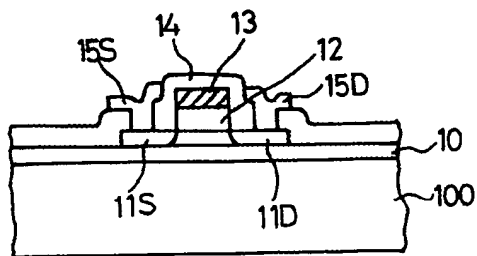
도면1b



도면1c

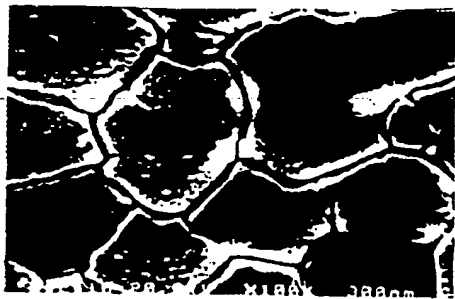


도면1d



도면2

BEST AVAILABLE COPY



도면3



도면4



도면5

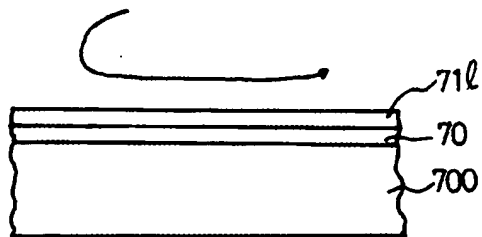
BEST AVAILABLE COPY



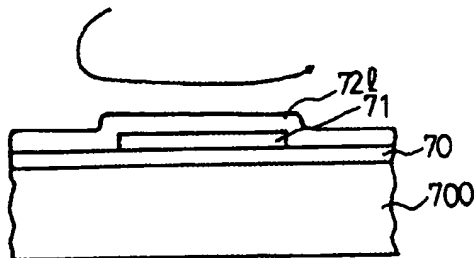
도면6



도면7a

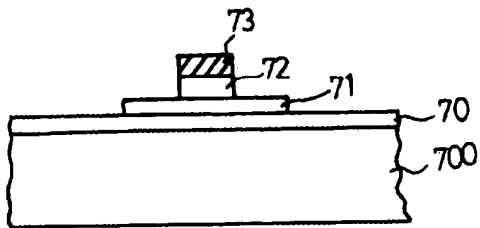


도면7b

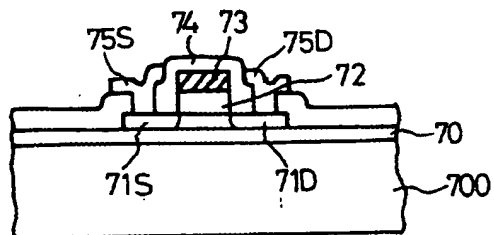


BEST AVAILABLE COPY

도면 7c



도면 7d



BEST AVAILABLE COPY